

何鹏. 高性能计算系统中硬件制程差异的影响与分析[J]. 智能计算机与应用, 2026, 16(3): 42-48. DOI: 10. 20169/j. issn. 2095-2163. 24030601

# 高性能计算系统中硬件制程差异的影响与分析

何鹏

(沈阳工业大学 信息科学与工程学院, 沈阳 110870)

**摘要:** 随着半导体制造技术逐渐向更先进的制程节点演进, 细微的制程差异对芯片性能和功耗的影响愈发显著。受制程差异的影响, 高性能计算系统中大量的硬件设备在能效比上均存在显著不同。这种差异存在于系统的各类硬件设备中, 并对系统功耗和整体性能起着至关重要的作用。本文围绕系统中的计算、存储及网络等多类硬件设备, 针对制程差异给其所带来的影响进行了描述与分析。分析表明, 制程差异在供电充足的条件下对整个系统的能耗有较大影响, 而在供电受限时则会对系统的性能产生影响。最后, 针对上述问题, 简要阐述了制程差异问题的应对策略及效果。

**关键词:** 高性能计算; 制程差异; 性能; 功耗; 能效比

中图分类号: TP391

文献标志码: A

文章编号: 2095-2163(2026)03-0042-07

## Impact and analysis of process variations in high-performance computing systems

HE Peng

(College of Information Science and Engineering, Shenyang University of Technology, Shenyang 110870, China)

**Abstract:** With the evolution of semiconductor manufacturing technologies progressing towards more advanced process nodes, minute process variations have an increasingly significant impact on the performance of the chip and its power consumption. Constrained by process variations, numerous hardware components exhibit significantly different energy efficiency ratios in a high-performance computing system. These variations persist across various hardware devices, profoundly affecting the system's performance and power consumption. The impact of the process variation is described and analyzed by focusing on the multiple types of hardware devices in the system, including computation, storage, and network units. The analysis reveals that process variations substantially affect the energy consumption of the entire system with an abundant power supply. However, under power constraints, such process variations degrade the system's performance. Ultimately, the strategies to mitigate the above problems are briefly expounded, along with their effectiveness.

**Key words:** high-performance computing; process variation; performance; power consumption; energy efficiency ratio

## 0 引言

高性能计算 (High-Performance Computing, HPC) 系统利用各种节点资源以高带宽低延迟的网络互联汇聚形成强大的集群计算能力。在 HPC 系统中, 各类软硬件资源协同工作, 以提供科学计算和人工智能 (Artificial Intelligence, AI) 所需的高性能与可扩展性。HPC 工作负载集中于解决人类最具挑战性的问题, 包括天体物理、航空航天、地震建模以及医药与生命科学等领域<sup>[1-2]</sup>。

超级计算机代表着世界领先的 HPC 系统。其中在全球第 62 版 TOP500 榜单排名前五的 HPC 系统参

数见表 1。美国橡树岭国家实验室研制的 Frontier 系统以 1.194 EFLOPS (Floating-point Operations Per Second, FLOPS) 的 HPL (High-Performance LINPACK) 基准测试结果保持在榜首, 并且目前是榜单上唯一的百亿亿次级系统<sup>[3]</sup>。

由表 1 可知, 各个 HPC 系统的内核数量和总功耗均处于相当高的水平。随着制程节点逐渐缩减至 3 nm 级别, 细微的制程差异对芯片性能及其功耗的影响愈发显著。这种制程差异主要指在芯片制造过程中产生的偏差。Corbacho 等学者<sup>[4]</sup> 研究表明, 由于制造过程中存在的偏差, 同一架构的芯片在能效方面呈现出非均匀性。同时, 制程差异不仅影响系

统中计算硬件的能效比,而且对存储、网络等多类硬件亦产生了一定的影响,进而对系统的性能和功耗

带来了极大的影响与挑战。

表1 TOP500 榜单前五系统参数(2023-11-13)

Table 1 Parameters of the top five systems on the TOP500 list (Nov. 13, 2023)

Rank	System	CPU	Accelerator	Cores	Rmax(PFLOPS)	Power/kW
1	Frontier	AMD Optimized 3 <sup>rd</sup> Gen EPYC	AMD Instinct MI250X	8 699 904	1 194.00	22 703
2	Aurora	Intel Xeon CPU Max 9470	Intel Data Center GPU Max	4 742 808	585.34	24 687
3	Eagle	Intel Xeon Platinum 8480C	NVIDIA H100	1 123 200	561.20	N/A
4	Fugaku	A64FX	-	7 630 848	442.01	29 899
5	LUMI	AMD Optimized 3 <sup>rd</sup> Gen EPYC	AMD Instinct MI250X	2 752 704	379.70	7 107

面对芯片制程差异问题及其对 HPC 系统中硬件的影响与挑战,本文首先将针对芯片制程差异进行分析,其次探讨制程差异给 HPC 系统中各类硬件资源及相关用户带来的影响,最后将概述制程差异问题相关研究工作的应对策略及效果。

## 1 芯片制程差异分析

目前,金属-氧化物-半导体场效应晶体管(Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET)是广泛应用的半导体器件之一。通过一对互补的 p 型和 n 型 MOSFET 晶体管可实现集成电路的逻辑功能。MOSFET 器件的截面结构如图 1 所示。其中, MOSFET 的 3 个电极端子分别为源极(Source)、栅极(Gate)和漏极(Drain)。

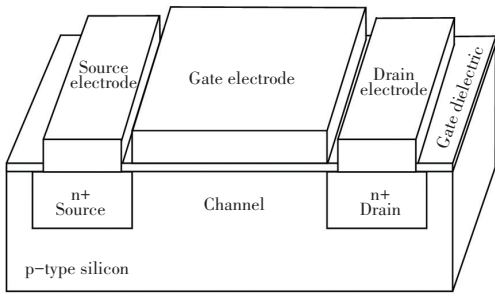


图1 MOSFET 器件的截面结构示意图

Fig. 1 Illustration of cross-section structure of a MOSFET device

MOSFET 器件是在源极和漏极之间形成电势差,对栅极施加不同电压可实现通道的完全开启、完全截止及不同程度的导通,以控制通道内的电流大小。在 MOSFET 线性放大区通过的电流  $I_D$  (单位为 A) 的数学公式为:

$$I_D = \mu C_{ox} \frac{W}{L} \left( V_{GS} - \frac{V_{DS}}{2} - V_T \right) V_{DS} \quad (1)$$

for  $|V_{DS}| < (V_{GS} - V_T)$

其中,  $\mu$  表示载流子迁移率(单位为  $m/(V \cdot s)$ );  $C_{ox}$  表示栅极电容表示(单位为  $F/m$ );  $W, L$  分

别表示栅极宽度和长度(单位均为 m);  $V_{GS}$  表示栅极到源极的电压(单位为 V);  $V_T$  表示阈值电压(单位为 V);  $V_{DS}$  则表示漏极到源极的电压(单位为 V)。

受半导体器件设计及制造工艺的影响,晶体管之间的物理特性存在差异。这使得相同规格的处理器的能效比亦可能存在显著差异<sup>[5]</sup>。制程差异可分为全局工艺偏差和局部工艺偏差。全局工艺偏差是在同一晶圆内的不同芯片之间以及不同晶圆之间的偏差。这些制造上的偏差可能决定晶体管的栅极长度、阈值电压和漏电流等,进而影响其开关速度、驱动能力及静态功耗等。具体而言,制程差异对芯片的影响如下:

(1) 尺寸偏差。目前芯片采用纳米级的制程节点,极小的尺寸偏差可导致晶体管的电容、电阻发生变化,从而影响晶体管的开关速度及延迟,可能改变整个芯片的运算速度及响应时间。

(2) 漏电流。晶体管处于截止状态时依然存在的电流,该电流数值会对芯片的待机功耗产生影响。

(3) 阈值电压。此电压是晶体管从截止状态转变为导通状态所需施加在栅极上的电压。阈值电压的偏差导致晶体管的工作点偏离设计值,电路的稳定性和能源效率可能受到影响,从而影响芯片的性能及动态功耗。

(4) 载流子迁移率及饱和电流。这些参数将影响晶体管的传导能力和电流驱动能力。同种晶体管在同一电压下,所承载的电流强度差异,可能引发芯片功能的一致性问题。

相关研究<sup>[6]</sup>通过引入一种衡量芯片物理参数的相对差异(Relative Variation)的方法,进一步量化制程差异的影响,即制程工艺参数的控制程度。该方法的数学公式可写为:

$$\text{Relative Variation} = \left( \frac{1}{x_a} \right) (x_r - x_a) \times 100\% \quad (2)$$

其中,  $x_a$  表示某一物理参数的设计期望值,  $x_r$  表示该参数的实际测量值。

通过统计相对差异的分布情况,能够对制造过程中产生的参数变化进行量化分析,并据此评估与对比不同制造方法在参数控制方面的有效性和精确性。

## 2 HPC 系统中硬件制程差异的影响

### 2.1 计算硬件资源

#### 2.1.1 中央处理器

作为计算节点的通用计算和控制的逻辑硬件,中央处理器是 HPC 系统中不可或缺的核心组件。各个计算节点通过高速网络实现相互连接、协同工作,构建大规模的并行计算能力。多核处理器通过任务级并行机制,提高系统的整体性能及吞吐量。

中央处理器等多种类型的硬件中制程差异性表现显著。针对硬件制程差异问题, Nassif<sup>[7]</sup> 提出了制程建模与仿真技术,并分析了不同制程节点条件下参数差异趋势。其中, 180 nm 至 70 nm 制程节点的各项参数差异度研究结果如图 2 所示。

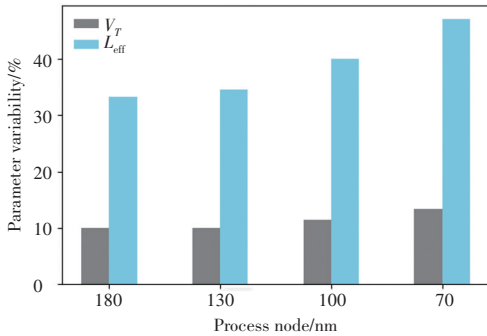


图 2 不同制程节点条件下的参数差异度

Fig. 2 Parameter variability under different process node conditions

由图 2 可知,随着制程节点的逐步缩小,硬件参数差异度呈现上升趋势。这一趋势可能源于单位面积上晶体管的集成数量显著增加。结合芯片制程差异的分析可知,参数差异可能对处理器等硬件的性能与功耗产生一定影响。

研究表明,在相同负载下,CPU 的动态功耗差异可能超过 20%,而静态功耗的差异可能更高<sup>[8]</sup>。该差异对于服务器级处理器是值得考虑的因素。以基于 7 nm 制程的 AMD EPYC 7763 处理器为例,在峰值理论双精度浮点性能状态时,其热设计功耗 (Thermal Design Power, TDP) 为 280 W。在 HPC 系统中,服务器级处理器的功耗差异,主要影响如下:

(1) 供电成本。HPC 系统通常部署数百至数千

颗处理器,处理器能耗水平直接影响整个系统的电力消耗及运营费用。

(2) 散热问题。高功耗处理器会产生的热量更多,因此需要更加有效的散热方案。功耗过高可能导致散热困难,增加集群维护难度及潜在的故障风险。

(3) 能源效率。服务器级处理器的能效是一个关键指标。在同等系统性能下,采用功耗相对低的处理器,有助于提升集群的能效比。

因此,在设计 and 部署 HPC 系统时,充分考虑服务器级处理器的功耗差异,有助于实现更为绿色、高效、可靠且可持续的发展。

#### 2.1.2 领域特定加速器

异构计算在 HPC 系统中十分盛行。根据文献 [9] 统计,在 2019 年 TOP500 榜单上近 30% 系统采用了具有加速器的计算节点,例如图形处理器 (Graphics Processing Unit, GPU)。

与 CPU 相比, GPU 能够针对数据并行度来更有效地运行负载。因此, GPU 适用于科学模拟、深度学习和数据分析等应用场景。在能效比和峰值性能方面, GPU 更具优势。例如,在 500W TDP 下,基于 6 nm 制程的 AMD Instinct MI250X GPU 峰值理论双精度浮点性能可达 47.9 TFLOPS。

相同技术参数的 GPU 之间可能存在性能或功耗的差异。基于 416 颗 GPU 及风冷系统的大规模集群,针对训练 ResNet-50 模型的应用, GPU 之间最大性能差异可达 20%<sup>[10]</sup>。经过分析,这种性能差异现象的影响因素可能源于如下方面:

(1) 制造偏差。NVIDIA V100 GPU 芯片集成容量为 32 GB、带宽可达 900 GB/s 的显存。各 GPU 显存之间可能存在性能差异。

(2) 特定应用类型。GPU 集成针对 AI 和深度学习计算的张量核心等专用硬件,能够以极高的速率执行特定的数学运算,从而极大提升这类工作负载的性能。

(3) 功耗管理及散热条件。长时间处于满载状态处理计算密集型任务将增加 GPU 的能耗与发热量。功耗管理或散热条件的细微差异可能影响 GPU 在高负载下的持续性能输出。

(4) 集群 GPU 资源量级。当集群部署大量 GPU 资源时,出现 GPU 之间的性能差异的概率可能较高。

综上所述, GPU 同样是 HPC 系统中受制程差异影响较大的硬件资源。除了 GPU 可以提供加速

之外,用于实现以状态机为主要特征的现场可编程门阵列(Field Programmable Gate Array, FPGA)的逻辑资源、互连资源及输入输出资源均具备可编程性,亦可用于部分应用中的专用加速。

## 2.2 存储硬件资源

### 2.2.1 缓存及内存

DDR5 通常是指第五代双倍数据速率(Double Data Rate, DDR)动态随机访问存储器(Dynamic Random Access Memory, DRAM)技术。DDR 采用了 2 bit 预取的数据传输模式,即在时钟脉冲的上升沿和下降沿均能读写数据。DRAM 是一种半导体存储器,其将数据位存储在包含晶体管和电容器的存储单元中。

研究后可知,DDR5 的数据速率范围为 4 800 至 8 800 MT/s,与 DDR4 相比,DDR5 内存性能提升 85%,增强了对大数据分析、深度学习的可靠性支持<sup>[11]</sup>。目前,通过 12 nm 制程工艺和 EUV 技术,Samsung 研发出高达 1 TB 容量的 DDR5 内存模块,且更低工作电压设计可节省 10% 功耗。根据内存的有功功耗相对多数硬件偏低,且空闲功耗和有功功耗的差值相对小,因此一般用户无需考虑内存之间的差异。

高带宽存储器(High Bandwidth Memory, HBM)是一种使用 3D 堆叠技术的高性能 DRAM。超级计算机 Frontier 的单块 GPU 芯片集成容量为 128 GB 且带宽超过 3.2 TB/s 的 HBM2e 显存。该类设计不仅提供比传统 DRAM 更高的带宽,而且减少计算资源和存储资源之间的延迟。事实上,考虑了该类计算资源的差异,则已经包含了 HBM 的差异。

### 2.2.2 硬盘

作为目前主流的非易失存储器,固态硬盘(Solid State Drive, SSD)是由控制单元和固态电子存储单元制成的高性能信息存储设备。研究可知,SK Hynix NVMe Platinum P41 基于 NAND 闪存芯片及 PCIe 4.0 技术,其顺序读取与写入速率分别高达 7 000 MB/s 和 6 500 MB/s。根据 AnandTech 官网统计,1 TB 容量的 SK Hynix Gold P31 NVMe SSD 的最大功耗近 7 W。

总之,SSD 属于相对节能的硬件,小规模本地部署或短期项目用户通常无需考虑该类硬件差异。然而,对于特定用户群体则可能需要考虑的存储类硬件功耗差异,其中包括超级计算中心、科研机构及企业级用户。

此外,HPC 系统存储架构中也涵盖了分布式存

储解决方案,如 Lustre、IBM Storage Scale 和 BeeGFS 等为整个集群的共享数据,提供了超高密度存储容量管理和高 I/O 吞吐量以及良好的健壮性<sup>[12-13]</sup>。

## 2.3 网络硬件资源

集群的网络架构用于保障各节点之间高效数据传输以及大规模负载协同工作。对于中小型数据中心,以太网交换机可支撑千级节点网络经济高效且可扩展的运转。针对 HPC 网络可通过 InfiniBand 交换机和高速网络协议,以及 Cray Slingshot 专有互连,支持更加高效并行处理所需的低延迟、高带宽通信。

网络设备待机功耗和有功功耗的差值相对较小。由于 HPC 系统需要保证性能和吞吐量,则要求交换机等设备在多数情况下为工作状态。此外,即使有时为空闲状态,再叠加系统调度和应用的随机性,网络硬件的能耗也可能随之变化且不易预测,属于较难节省能耗的硬件,故对于一般用户该类硬件差异通常是可忽略的。然而,对于特定用户群体则可能仍需要考虑的网络类硬件功耗差异,例如超级计算中心。

此外,系统网络资源的延迟差异对于特定应用亦不容忽视。Underwood 等学者<sup>[14]</sup>研究了网络延迟差异与延迟均值对 HPC 应用程序运行性能和数据包传递的影响。实验结果表明,对于没有通信进程的应用程序则无性能降级,而对于通信密集型 HPC 并行应用运行时间则可能延长至 3 倍。

针对通信密集型并行应用的运行性能降级问题,可从多个方面进行分析和缓解,具体如下:

### (1) 通信优化

① 采用高效通信模式。针对并行应用场景,利用 MPI(Message Passing Interface)通信的集合通信操作,以及利用 RDMA(Remote Direct Memory Access)技术来提高带宽利用率并减少延迟。

② 压缩通信数据。针对大数据量传输,采用数据压缩技术可有效节省所需通信带宽。

### (2) 网络结构及参数

① 优化网络拓扑结构。采用先进的互连技术,可引入 InfiniBand 这类端到端的高性能网络。

② 网络参数调优。结合应用的具体特征,调整 TCP/IP 堆栈参数、缓冲区大小等。

### (3) 软件层面

① 负载均衡。确保各计算节点的工作负载均衡,防止因单个节点成为通信瓶颈而影响整体性能。

② 优化调度算法。通过基于机器学习的调度

算法,使得通信和计算能够更好地重叠执行。同时尽量将通信频繁的任务分配在网络拓扑上相邻的节点,减少长距离通信的开销。

#### (4) 硬件及协议

① 领域特定加速器。采用具备内置高性能网络互联和数据交换能力的 FPGA,从硬件层面加速通信过程。

② 缓存一致性机制。在共享内存通信时,采用高效的缓存一致性协议,可减少锁竞争以及缓存失效带来的开销。

## 2.4 其他硬件及系统

### 2.4.1 供配电系统

HPC 集群电力系统主要包含电源、供电单元和机架级配电单元等模块。其中,前者是将电源电力高效分配给硬件,同时尽量减少热量产生;而后者管理机架级的供电并启用冗余。

电能利用效率(Power Usage Effectiveness, PUE)通常作为衡量数据中心使用能源效率的指标,即整个系统总能源开销与 IT 设施消耗的能量的比值,一般使用年均 PUE 值。PUE 数值大于 1,越接近 1 则表明制冷、电力系统等非 IT 设施能耗越少,即系统能效水平越高。PUE 数值可由下式计算得出:

$$PUE = \left( \frac{1}{P_{IT}} \right) \sum_{i=1}^n P_i \quad (3)$$

其中,  $P_i$  表示各种维持系统正常运行的设备耗电量(单位为 kW · h);  $P_{IT}$  表示系统中 IT 设施耗电量(单位为 kW · h)。

根据中国通服数字基建产业研究院统计,2021 年全国数据中心平均 PUE 近 1.5,且相比往年电能利用水平有所提升。

此外,配电系统(Distribution System)网络拓扑差异可能是需要考虑的方面。针对配电系统网络拓扑变化而带来的差异,Wen 等学者<sup>[15]</sup>提出了一种基于实时初始拓扑变化的动态重构方法。该方法将动态拓扑分析与网络重构相结合,以解决实时配电网的优化问题。其中包括:检测初始拓扑变化,运用动态拓扑分析确定停用区域,并通过更新参数,对网络连通性进行恢复,然后在此基础上进行网络重构,优化实时配电网电压分布以降低功率损耗。

### 2.4.2 散热系统

通过前文分析可知,制程差异普遍存在于分布式集群中,导致各节点的能效呈现非均一性。其中,能效较低的节点更易会成为 HPC 集群的热点(Hotspot)。散热系统则需保证所有热点硬件的温

度不超过制造商规定的极限值。根据 APC (American Power Conversion) 公司统计,散热系统的功耗可占集群总功耗的 50%。数据中心的电能分布情况见表 2<sup>[16]</sup>。

表 2 数据中心的电能分布情况

Table 2 Power distribution in a data center

Infrastructure	Power/%
DX cooling system	50
Lighting	3
Network hardware	10
Server & Storage	26
UPS inefficiency/battery charging	11

HPC 集群散热主要有 2 类方法:风冷和液冷。其中,液冷是指在满足 IT 设施散热需求的情况下,借助高比热容的液体作为散热介质进行冷却的方式。随着 HPC 系统性能和芯片功率密度的提高,散热需求随之上升,制冷系统的耗电量随之持续增高。当芯片散热效率要求提高时,风冷可能难以满足集群快速增长的能效需求。Intel 和 AMD 高性能处理器已逐步采用液冷技术,能够保障在一定范围内超频工作的芯片不会出现过热故障问题,有效提升服务器的工作效率和稳定性。

具体而言,在决策采用风冷、还是液冷作为集群散热方案时,可从以下维度展开分析:

(1) 散热效率。对于高密度计算集群,可优先考虑液冷方案。液冷系统具有较高的散热效率,从而有效地将硬件维持在良好的工作温度范围内。在低至中等密度的计算集群中,风冷散热方式可能已经能够较好地满足需求。

(2) 空间限制及能效需求。液冷系统可节省空间。液冷方案无需为每个计算节点配备风扇和大面积的散热片。在同等应用场景下,液冷系统表现出较高的能效比,从长远来看,有助于降低散热系统的能耗<sup>[17]</sup>。风冷系统的部署复杂度相对较低,但占用的空间较大。针对空间冗余程度较高、机柜功率密度较低的场景,可采用风冷方案。

(3) 建设和运维成本。风冷系统在设备建设和日常维护成本上可能相对较低。液冷系统的初始投资成本通常相对较高。由于液冷涉及复杂的管道部署、冷却液循环系统以及相应的安全措施,整体运维成本也相对较高。此外,随着集群系统规模的扩大以及散热要求的提高,散热系统的扩容和维护费用亦会相应增加。

总之,针对高密度计算功率集群、硬件稳定性要

求,液冷系统是更具优势的方案。而在预算有限、对空间和散热要求一般的环境中,风冷系统可能是相对经济的方案。

### 3 应对策略及效果简述

#### 3.1 应对策略

通过硬件配置分析掌握制程差异在 HPC 系统中的具体分布情况。深入评估集群中各类硬件及基础设施的实际规格、性能特征与潜力,有助于 IT 硬件的部署、优化资源分配以及运维管理等。为有效应对 HPC 系统中制程差异的负面影响,相关研究工作<sup>[18-20]</sup>提出的解决策略如下:

- (1) 基于系统软件的调度。
- (2) 根据硬件差异动态调整供电。
- (3) 对硬件进行定制式的组合。

下面对上述 3 种策略分别进一步分析并讨论其效果。

#### 3.2 效果

(1) 基于系统软件调度。针对超额配置的 HPC 集群,Cao 等学者<sup>[18]</sup>提出了散热感知的作业调度与节点分配技术,将负载强度高的作业调度给相对“冷”的节点,降低机柜平均温度以节省散热系统功耗,再将该部分电能分配给计算节点,实现集群吞吐量提升 4% 以上。

(2) 基于硬件的差异化供电。针对 GPU, Straube 等学者<sup>[19]</sup>提出的微架构技术通过尽可能地使用预置的电源来加速并行计算的工作负载,从而促使供电受限系统的电力利用率提高 10% 以上。

(3) 基于 HPC 节点硬件组合技术。针对 HPC 节点硬件组合方法,Acun 等学者<sup>[20]</sup>提出了排序式和应用感知等组合技术。其中,排序式组合先是将节点组件按照电能效率排序再同等级组合,当系统利用率不高时,关闭效率最低的节点。应用感知组合则针对负载类型最为密集的情况,聚焦于节能效果最佳的组件,如 CPU 密集型负载使用“好”的 CPU 配相对“差”的 GPU 的节点。在电力供应充足且系统性能相当的情形下,应用感知组合技术可带来 3% 的处理器功耗节省,而排序式组合技术可能降低 8% 的节点功耗。

### 4 结束语

本文针对 HPC 系统中硬件制程差异的影响展开分析,从芯片层面剖析制程差异的来源,分析其对晶体管物理特性以及芯片性能与功耗的影响机制。

系统探讨了计算资源等关键硬件差异的影响。通过对制程差异本质及多维度影响的梳理,为理解和应对该问题提供了全面视角。未来,通过系统建模与实验研究,进一步探索硬件制程差异的应对策略及方法,为 HPC 系统实现更加绿色、高效且可持续的发展提供理论参考。

### 参考文献

- [1] TAFFONI G, TORNATORE L, GOZ D, et al. Towards exascale: Measuring the energy footprint of astrophysics HPC simulations [C]//Proceedings of 2019 15<sup>th</sup> International Conference on eScience (eScience). Piscataway, NJ: IEEE, 2019: 403-412.
- [2] YANG C, DOMENICONI G, ZHANG Lili, et al. Design of AI-enhanced drug lead optimization workflow for HPC and cloud [C]//Proceedings of 2020 IEEE International Conference on Big Data (Big Data). Piscataway, NJ: IEEE, 2020: 5861-5863.
- [3] TOP500.org. TOP500 List[EB/OL]. (2023-11-13). <https://www.top500.org/lists/top500/2023/11/>.
- [4] CORBACHO I, CARRILLO J M, AUSIN J L, et al. Impact of process variations on the performance of a widely tunable CMOS transistor [C]//Proceedings of 2022 18<sup>th</sup> International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD). Piscataway, NJ: IEEE, 2022: 1-4.
- [5] KISTOWSKI J V, BLOCK H, BECKETT J, et al. Variations in CPU power consumption[C]//Proceedings of the 7<sup>th</sup> ACM/SPEC on International Conference on Performance Engineering. New York: ACM, 2016: 147-158.
- [6] HUFF M. Process variations in microsystems manufacturing[M]. Cham: Springer, 2020.
- [7] NASSIF S. Modeling and analysis of manufacturing variations [C]//Proceedings of the IEEE 2001 Custom Integrated Circuits Conference (Cat. No. 01CH37169). Piscataway, NJ: IEEE, 2001: 223-228.
- [8] MITTAL S. A survey of architectural techniques for managing process variation[J]. ACM Computing Surveys, 2016, 48(4): 54.
- [9] KHAN A, SIM H, VAZHKUDAI S S, et al. An Analysis of system balance and architectural trends based on Top500 supercomputers [C]//The International Conference on High Performance Computing in Asia - Pacific Region, New York: ACM, 2021: 11-22.
- [10] SINHA P, GULIANI A, JAIN R, et al. Not all GPUs are created equal: Characterizing variability in large-scale, accelerator-rich systems[C]//Proceedings of International Conference for High Performance Computing, Networking, Storage and Analysis. Piscataway, NJ: IEEE, 2022: 1-15.
- [11] BHAGWATH N, DEARAUJO D, BALACHANDRAN J, et al. Optimizing DDR5 address signal integrity using stochastic learning algorithms[C]//Proceedings of 2020 IEEE 24<sup>th</sup> Workshop on Signal and Power Integrity (SPI). Piscataway, NJ: IEEE, 2020: 1-4.
- [12] WASI-UR-RAHMAN M, LU Xiaoyi, ISLAM N S, et al. High-performance design of YARN MapReduce on modern HPC clusters with Lustre and RDMA[C]//Proceedings of 2015 IEEE International Parallel and Distributed Processing Symposium.

- Piscataway, NJ: IEEE, 2015: 291–300.
- [13] BOITO F, PALLEZ G, TEYLO L. The role of storage target allocation in applications' I/O performance with BeeGFS [C]// Proceedings of 2022 IEEE International Conference on Cluster Computing (CLUSTER). Piscataway, NJ: IEEE, 2022: 267–277.
- [14] UNDERWOOD R, ANDERSON J, APON A. Measuring network latency variation impacts to high performance computing application performance [C]// Proceedings of the 2018 ACM/SPEC International Conference on Performance Engineering. New York: ACM, 2018: 68–79.
- [15] WEN Juan, TAN Yanghong, JIANG Lin, et al. Dynamic reconfiguration of distribution networks considering the real-time topology variation [J]. IET Generation, Transmission & Distribution, 2018, 12(7): 1509–1517.
- [16] DAYARATHNA M, WEN Yonggang, FAN Rui. Data center energy consumption modeling: A survey [J]. IEEE Communications Surveys & Tutorials, 2016, 18(1): 732–794.
- [17] 王艳松, 张琦, 孙聪, 等. 数据中心液冷技术发展分析[J]. 电力信息与通信技术, 2021, 19(12): 69–74.
- [18] CAO T, HUANG Wei, HE Yuan, et al. Cooling-aware job scheduling and node allocation for overprovisioned HPC systems [C]// Proceedings of 2017 IEEE International Parallel and Distributed Processing Symposium (IPDPS). Piscataway, NJ: IEEE, 2017: 728–737.
- [19] STRAUBE K, LOWE-POWER J, NITTA C, et al. Improving provisioned power efficiency in HPC systems with GPU-CAPP [C]// Proceedings of 2018 IEEE 25<sup>th</sup> International Conference on High Performance Computing (HiPC). Piscataway, NJ: IEEE, 2018: 112–122.
- [20] ACUN B, BUYUKTOSUNOGLU A, LEE E K, et al. Power aware heterogeneous node assembly [C]// Proceedings of 2019 IEEE International Symposium on High Performance Computer Architecture (HPCA). Piscataway, NJ: IEEE, 2019: 715–727.